

**Prof. Bischoff****14. Juni 2024**Bearb.: Dipl.Ing. (FH) Schreiter

---

### Versuchsziel

Kennenlernen von

- programmierbaren Logikbausteinen FPGA`s (Field Programmable Gate Array) und
- Umgang mit einem Programmentwicklungssystem Lattice Diamond zum rechnergestützten Entwurf von Logikfunktionen mit Hilfe der Hardwarebeschreibungssprache VHDL.
- Realisierung einfacher Programmierübungen zu kombinatorischen und sequentiellen Schaltungen

### Vorbereitung

Der zum Einsatz kommende MACH XO3<sup>1</sup> ist ein Vertreter der FPGA-Schaltkreisfamilie. Er besitzt frei programmierbare Zellen, programmierbare Rückkopplungen und Ein- und Ausgabeblocke.

Theoretische Grundlage

- Informieren Sie sich mit Hilfe Ihrer Vorlesungsunterlagen und den Datenblätter im Internet über den Aufbau und die Funktion programmierbarer Logikschaltkreise, insbesondere von FPGA`s!

### 1. Vorbereitungsaufgaben

Verwenden Sie die aktuelle Aufgabenstellung von <https://f-ei.hszg.de/fakultaet/labore/bereich-elektrotechnik/labor-grundlagen-elektronik-und-digitaltechnik/>!

Anhand des in Vorlesung vorgestellten Beispielprogramm „BCD-7 Segment“ soll das Praktikum erfolgen. Wiederholen Sie die theoretischen Grundlagen zu FPGAs.

In der Vorlesung wurde zur Visualisierung eine 7-Segmentanzeige mit gemeinsamer Kathode verwendet, deshalb sind die Ausgabesignale des „HIGH-aktiv“ (HIGH-Pegel am Ausgang lässt das entsprechende Segment leuchten). Im Versuch haben Sie eine Schaltung<sup>2</sup> mit gemeinsamer Anode, d.h. ein LOW-Pegel lässt ein Segment leuchten.

Wiederholen Sie die Theorie eines BCD zu 7-Segment Codewandlers! Erstellen Sie eine Wahrheitstabelle mit BCD-Code als Eingang und dem 7-Segmentcode als Ausgang.

Informieren Sie sich, wie in VHDL eine Hilfsvariable eingesetzt werden kann und wie bitweise invertiert wird!

---

1 <https://www.latticesemi.com/products/fpgaandcpld/machxo3>

2 Siehe Lattice\_7Segment\_Schalter.pdf

## 2. Versuchsdurchführung

- Laden Sie die Projektvorlage BCD-7 Segment.zip, wie die in der Vorlesung demonstriert wurde.
- Ändern Sie den Schaltkreis auf „MachXO3LF → LCMXO3LF-6900C“
  - Menü „Project“ → „Device“
  - Menü „Tools“ → „Programmer“ → Spalte „Device“ & „File“ auf erzeugtes JEDEC-File einstellen.
- Passen Sie die Eingänge auf die am Praktikumsplatz vorhandene Schaltung an.
- Passen Sie die Ausgänge auf die am Praktikumsplatz vorhandene Schaltung an.
- Übersetzen Sie das JEDEC-File und übertragen Sie Ihr Programm auf die Schaltung.
- Führen Sie eine Kontrolle der Funktion anhand Ihrer vorbereiteten Tabelle durch.
- Ggf. korrigieren oder ändern Sie die Konfiguration im Projekt oder ändern Sie die VHDL Programmierung.
- Checkliste 1:
  - Eingangs-Schalter: links höchstwertiges Bit MSB, rechts niederwertigstes Bit LSB
  - Kontrolle der BCD-Code 0-9 auf 7-Segment Anzeige.
- Aufgabe: Erweitern Sie Ihre Programmierung zur Anzeige der restlichen möglichen Eingangskombinationen „A“ – „F“ bzw. 10 – 15.
- Checkliste 2:
  - Kontrolle der HEX bzw. BCD-Code 0-15 auf 7-Segment Anzeige.

## 3. Protokollabgabe

Inhalte: strukturiertes Protokoll mit Überschriften, nummerierte und ggf. beschriftete Abbildungen und Tabellen mit Bezug im Text, **keine** Kopie der Versuchsanleitung!, Lösung der Vorbereitungsaufgaben, Dokumentation der nötigen Änderungen damit Projektvorlage im Praktikum genutzt werden kann, kommentierter Quelltext, Dokumentation des Ergebnisses vom Praktikum, z.B. Tabelle mit gemessenen logischen Zuständen an Ein- und Ausgang.

Geben Sie das Protokoll als PDF Datei per Email an den Versuchsbetreuer innerhalb von 14 Tagen nach dem Versuchstermin ab. Alle Mitarbeiter der Gruppe müssen in dem Protokoll genannt werden. Der Name der PDF Datei muss nach folgendem Muster gebildet werden:

- Digitaltechnik03\_[Matrikel]\_Gr[Gruppennummer].pdf
  - Matrikel ohne ‚d‘ oder ‚b‘ für Bachelor, ohne Bindestrich, z.B. KEA21 oder EAS22
  - z.B. Digitaltechnik03\_KEA20\_Gr1.pdf

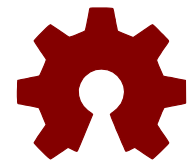
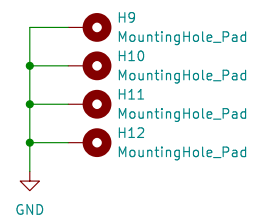
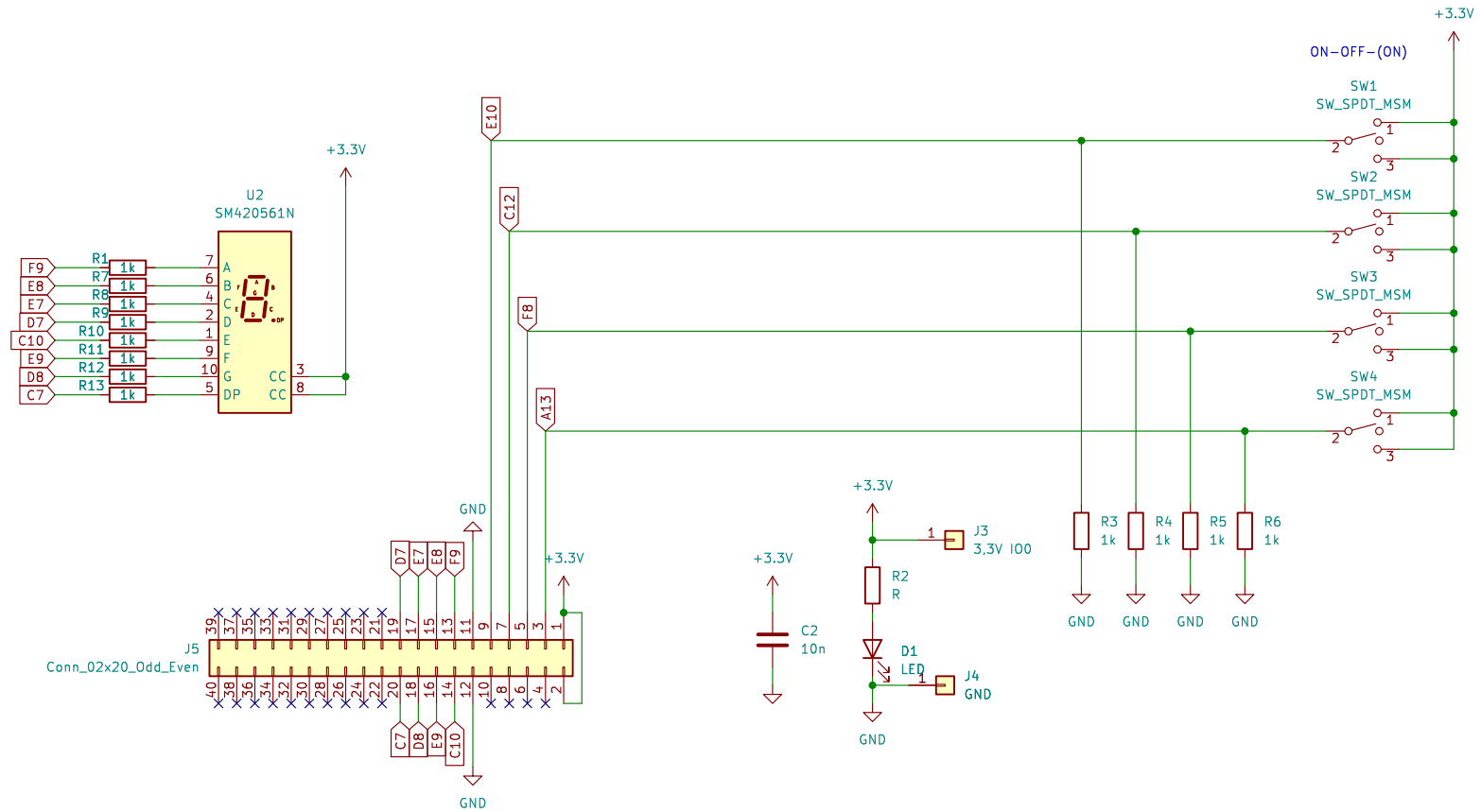
## Anhang

- Quelltext aus „BCD 7-Segment.zip“
- Schaltplan der Erweiterungsplatine „7-Segment“ Lattice\_7Segment\_Schalter.pdf
- Projektvorlage „BCD-7 Segment.zip“ (separate Datei)
- MachXO3StarterKitUsersGuideEB95.pdf (separate Datei)

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_arith.all;
4  use ieee.std_logic_unsigned.all;
5
6  entity BCDHEX is
7      port(X: in  std_logic_vector(3 downto 0);
8             Y: out std_logic_vector(0 to 6));
9  end BCDHEX;
10
11 architecture VERHALTEN of BCDHEX is
12 begin
13     with X select --Auswahl
14         -- 7 SegmentCode: BCD Code:
15         -- Y(0)..Y(6)      X(3)..X(0)
16         -- abcdefg
17         Y<="1111110" when "0000", --0
18         "0110000" when "0001", --1
19         "1101101" when "0010", --2
20         "1111001" when "0011", --3
21         "0110011" when "0100", --4
22         "1011011" when "0101", --5
23         "1011111" when "0110", --6
24         "1110000" when "0111", --7
25         "1111111" when "1000", --8
26         "1111011" when "1001", --9
27         "0000001" when "1010", --10 -
28         "0000001" when "1011", --11 -
29         "0000001" when "1100", --12 -
30         "0000001" when "1101", --13 -
31         "0000001" when "1110", --14 -
32         "0000001" when "1111"; --15 -
33
34 end VERHALTEN;

```



<https://edugit.org/eshszg/>

<b>HSZG</b>		
Sheet: /		
File: Lattice_7Segment_Schalter.kicad_sch		
<b>Title: Schalter und 7-Segment Erweiterung für MACHX03</b>		
Size: A4	Date: 2023-08-21	Rev:
KiCad E.D.A. kicad 7.0.7		Id: 1/1

Figure 5. J3/J4 Header Landing Callout

J3		J4	
1	2	1	2
VCCIO0	VCCIO0	VCCIO1	VCCIO1
A13	C13	K12	K13
F8	B12	M14	N14
C12	E11	L14	N16
E10	D10	M15	M16
GND	GND	GND	GND
F9	C10	L15	L16
E8	E9	K14	K16
E7	D8	K15	J14
D7	C7	H14	J15
GND	GND	GND	GND
C5	D6	J16	H15
E6	C4	H16	G15
A10	F7	G16	F15
D9	B9	F16	E15
GND	GND	GND	GND
B6	B7	E16	E14
B5	A5	D16	C15
B4	A4	D14	F14
GND	A3	G14	B16
39	40	39	40

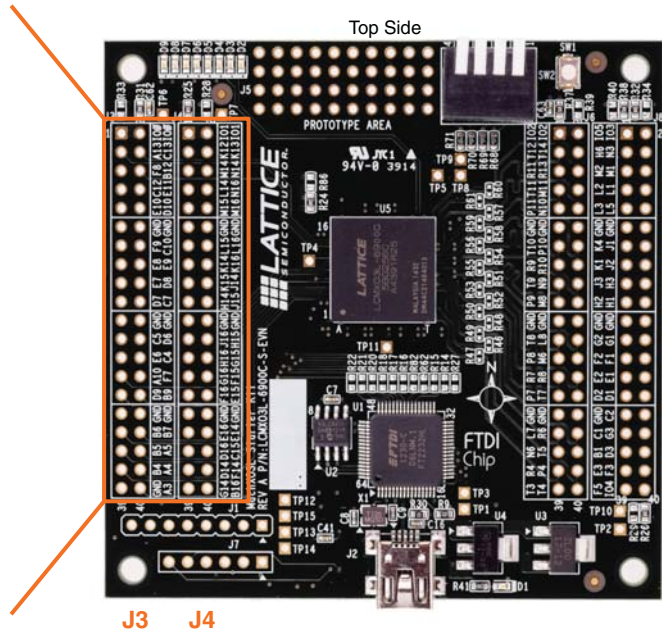


Figure 6. J6/J8 Header Landing Callout

J6		J8	
1	2	1	2
VCCIO2	VCCIO2	VCCIO5	VCCIO3
T12	T14	H6	N3
R11	R13	M2	M1
T11	M11	L2	L1
P11	N10	L3	L5
GND	GND	GND	GND
T10	P10	K4	J1
R9	R10	K1	J2
T9	N9	J3	H3
P9	M8	H2	H1
GND	GND	GND	GND
T8	L8	G2	G1
P8	M6	F2	F1
R7	R8	E2	E1
P7	T7	D2	D1
GND	GND	GND	C2
L7	R6	C1	G3
N6	T5	B1	D3
R4	P4	E3	F3
T3	T4	F5	VCCIO4
39	40	39	40

