Datei AND_XOR.abl

```
MODULE        AND_XOR

TITLE         'AND- und XOR-Gatter'

DECLARATIONS
"  ****  Eingaenge  ****
In0, In1  PIN  13, 12;

"  ****  Ausgaenge  ****
Out0, Out1  PIN  17, 18  ISTYPE  'COM, INVERT';

"  ****  Definitionen  ****
X = .X.;

"  ****  Schaltfunktion  ****
EQUATIONS
        Out0 = In0 & In1;
        Out1 = In0 & In1 # !In0 & !In1;

"  ****  Testvektoren (optional)  ****
TEST_VECTORS
        ( [In0, In1]  -> [Out0, Out1] );
         [ 0 , 0 ]  ->  [L, X];     " AND-Test
         [ 0 , 1 ]  ->  [L, X];     "  *
         [ 1 , 0 ]  ->  [L, X];     "  *
         [ 1 , 1 ]  ->  [H, X];     "  ***
         [ 0 , 0 ]  ->  [X, H];     " XOR-Test
         [ 0 , 1 ]  ->  [X, L];     "  *
         [ 1 , 0 ]  ->  [X, L];     "  *
         [ 1 , 1 ]  ->  [X, H];     "  ***

END
```

Header

Title

Declarations

Logic-Descriptions

Test-Vectors

End

```
module vergl

title 'Vergleich zweier vierstelliger Dualzahlen'

declarations

     A3,A2,A1,A0,B3,B2,B1,B0  pin;

     VECTOR_A=[A3,A2,A1,A0];
     VECTOR_B=[B3,B2,B1,B0];

     AEQB, AGTB, ALTB, ANEB  pin istype 'com';

equations

     AEQB = VECTOR_A == VECTOR_B;
     AGTB = VECTOR_A >  VECTOR_B;
     ALTB = VECTOR_A <  VECTOR_B;
     ANEB = VECTOR_A != VECTOR_B;

end
```

```
module Rohr     "Bei der Namensvergabe darauf achten, dass keine Umlaute
                "oder Ziffern verwendet werden!!! Diese Restriktion gilt
                "auch bei titel und device

title 'Rohrpoststeuerung  B. Mueller'

combi device 'p22v10c'; "Das spaeter noch zu generierende JEDEC-File
                        "erhaelt den Namen combi und ist auf einen
                        "Baustein vom Typ ispGAL22v10c ausgerichtet

declarations

        s1,s0,e1,e0     pin 2,3,4,5;      "Eingangssignale werden definiert und
                                          "best. Bausteinanschluessen zugeordnet

        v1,v2,v3,v4,r,f pin istype 'com'; "Ausgaenge kombinatorisch


        X = .X.;        "Labelvergabe fuer unbestimmten Pegel

equations

truth_table     ([s1,s0,e1,e0]->[v1,v2,v3,v4,r,f])      "Wahrheitstabelle
                 [0 , 0, 0, 0]->[X ,X ,X ,X ,X,1];
                 [0 , 0, 0, 1]->[X ,0 ,1 ,X ,1,0];
                 [0 , 0, 1, 0]->[X ,0 ,0 ,1 ,1,0];
                 [0 , 0, 1, 1]->[0 ,X ,X ,1 ,0,0];
                 [0 , 1, 0, 0]->[1 ,0 ,X ,X ,0,0];
                 [0 , 1, 0, 1]->[X ,X ,X ,X ,X,1];
                 [0 , 1, 1, 0]->[X ,X ,0 ,1 ,1,0];
                 [0 , 1, 1, 1]->[0 ,0 ,X ,1 ,0,0];
                 [1 , 0, 0, 0]->[1 ,0 ,0 ,X ,0,0];
                 [1 , 0, 0, 1]->[X ,1 ,0 ,X ,0,0];
                 [1 , 0, 1, 0]->[X ,X ,X ,X ,X,1];
                 [1 , 0, 1, 1]->[1 ,X ,X ,0 ,1,0];
                 [1 , 1, 0, 0]->[0 ,1 ,X ,X ,1,0];
                 [1 , 1, 0, 1]->[0 ,0 ,1 ,X ,1,0];
                 [1 , 1, 1, 0]->[X ,X ,1 ,0 ,0,0];
                 [1 , 1, 1, 1]->[X ,X ,X ,X ,X,1];

end
```

Anhang A: Aufbau eines AHDL-Files

Module

Der Modulname (moolicht) taucht als (default) Dateiname in allen Programmen auf.

Title

Titel, Autor, Beschreibung und/oder Erläuterungen können hier in Hochkommata eingeschlossen stehen.

Header

```
Module moolicht

Title 'Beleuchtungssteuerung '

Options '-trace wave'
```

Options

Optionen für die Bearbeitung des Moduls, die in die Kommandozeile aufgenommen werden.

Declarations

Vereinbarung der Ein- und Ausgänge mit den entsprechenden Pins und Registern, Zuweisung von Attributen (Istype 'reg'), Textersetzungen, Gruppenvereinbarungen. Hier können auch schon gezielt Anschlußnummern zugewiesen werden, wenn der Baustein vorgegeben wird.

Device Declaration

Vereinbarung eines bestimmten Bausteins (z.B. 'p22v10c'). Der Name vor "Device" wird als Dateiname für die JEDEC-Programmierdatei verwendet. Er darf vom Modulnamen abweichen.

Directives

Direktiven bestimmen die Bearbeitung der Quelldatei und können bei Bedarf an beliebiger Stelle eingefügt werden.

Declarations

```
Declarations

 moolicht   Device  'p22v10c';

        E,T     Pin 2,3;
        tck     Pin;
        Li      Pin Istype 'com';
        Y       Pin Istype 'com';
        q1,q0   Pin Istype 'reg';

        H,L,X,Z = 1,0,.X.,.Z.;

        Zustand = [q1,q0];

        A=0; B=1; C=2; D=3;

@Message'Deklarationen abgeschlossen'
```

Logic Description

Zur Beschreibung der Schaltung können logische Gleichungen, Wahrheitstabellen und Zustandsübergangsdiagramme verwendet werden.

Equations

Definition von Schaltnetzen und Schaltwerken in Form von logischen Gleichungen. Wichtig bei Schaltwerken ist die Definition der Taktleitung (.clk). Mögliche Boolesche Operatoren sind z.B.: NOT - ! OR - #; AND - & XOR - $.

Truth_Table

Definition eines Schaltnetzes als Wahrheitstabelle.

State_Diagram

Definition eines Schaltwerkes in Form eines Zustandsübergangsdiagramms.

Logic Description

```
Equations

        [q1,q0].clk = tck;
 ..

Truth_Table ([q1,q0]->[Y])
      [0 ,1 ]->[0];
      [1 ,1 ]->[1];
 ..

State_Diagram Zustand;

        State A:
                Li = 0;
                If (T) Then B;
                Else A;

        State B:
                Li = 1;
                If (E&T) Then D;
                Else    If (!T&!E) Then C;
                Else    If (!T&E) Then A;
                        Else B;
 ..
```

Test_Vectors

Angabe von Testmustern für den funktionalen Test der Schaltung.

Test Vectors

```
Test_Vectors ([tck,E,T]->[Zustand,Li])
             [.C.,X,0]->[A,0];
             [.C.,X,1]->[B,1];
             [.C.,0,1]->[B,1];
             [.C.,0,0]->[C,1];
             [.C.,X,1]->[D,0];
             [.C.,X,0]->[A,0];
        ..
```

End

Endekennzeichnung für das Modul (moolicht).

End

```
End moolicht
```