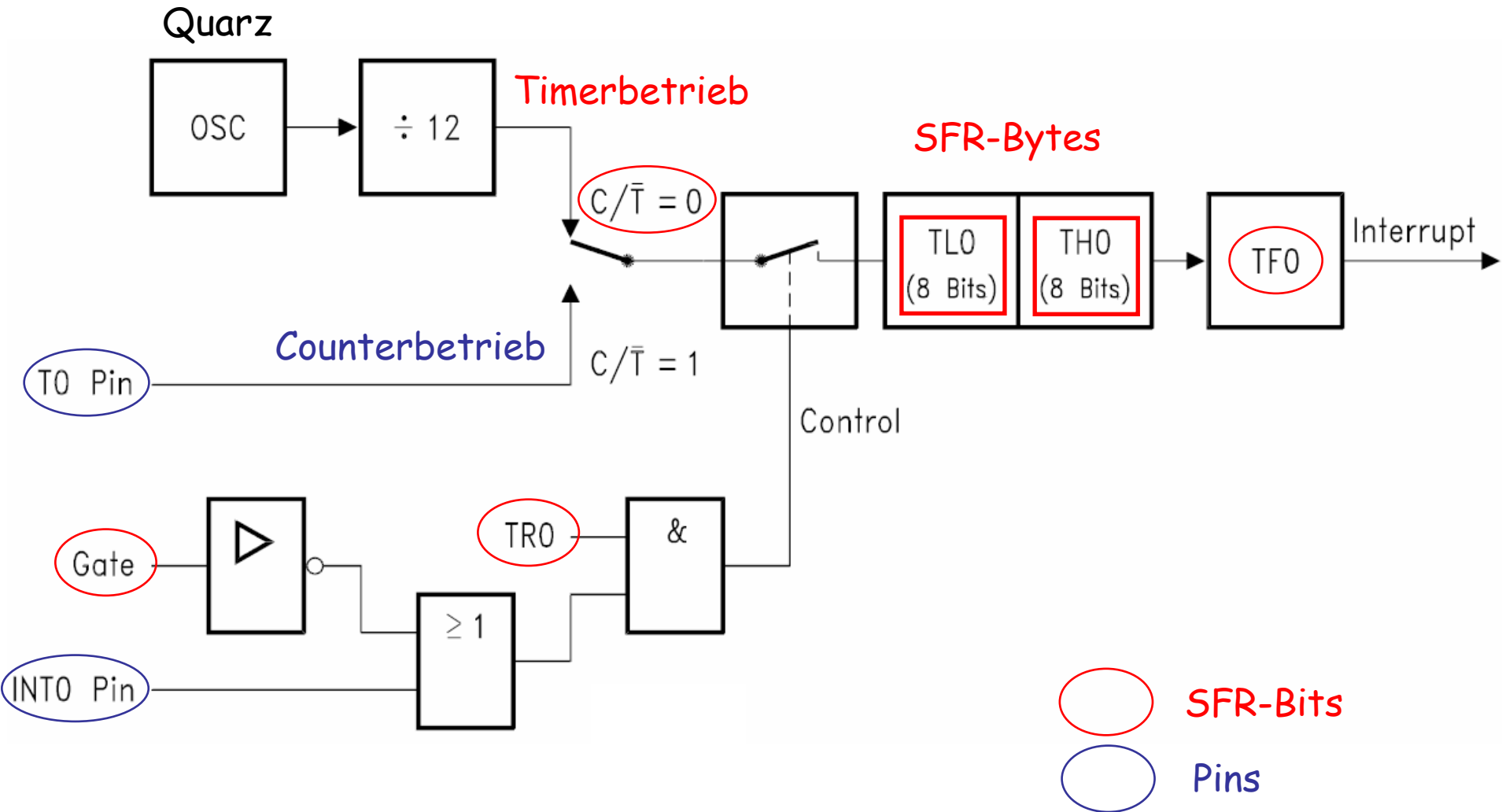
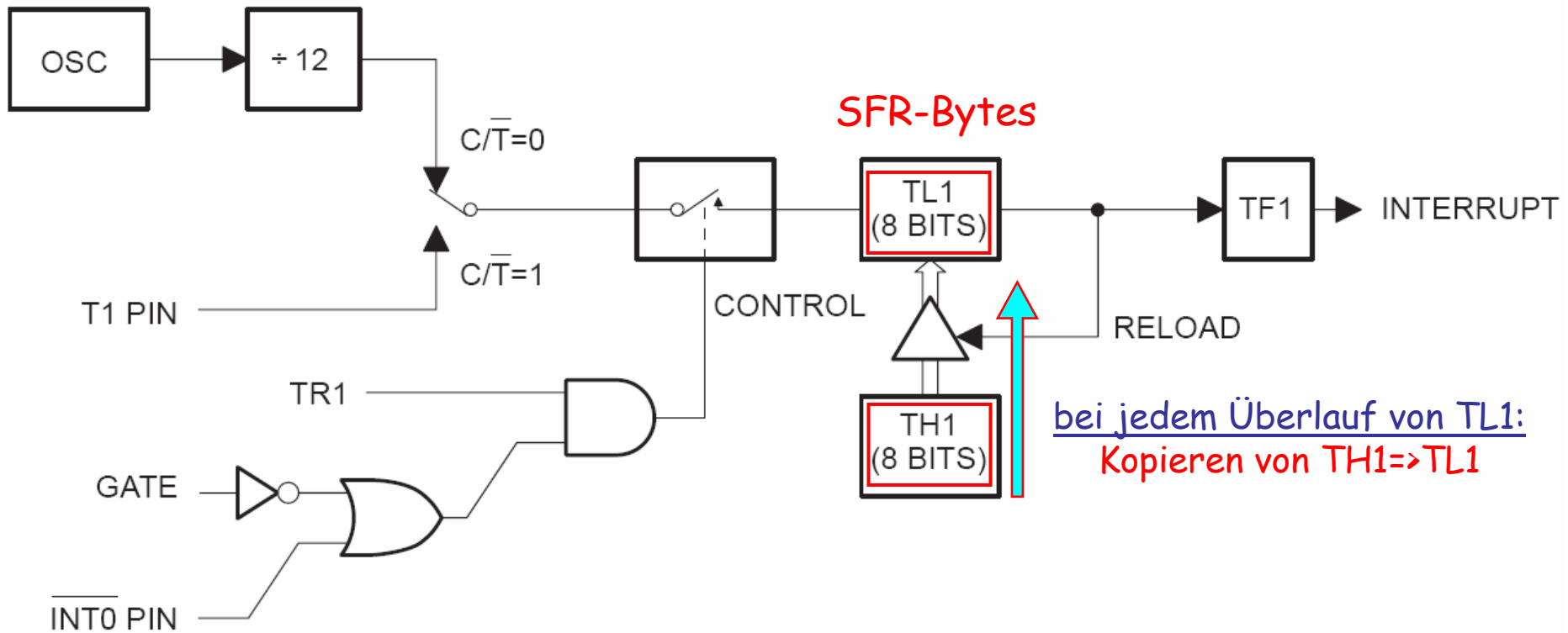


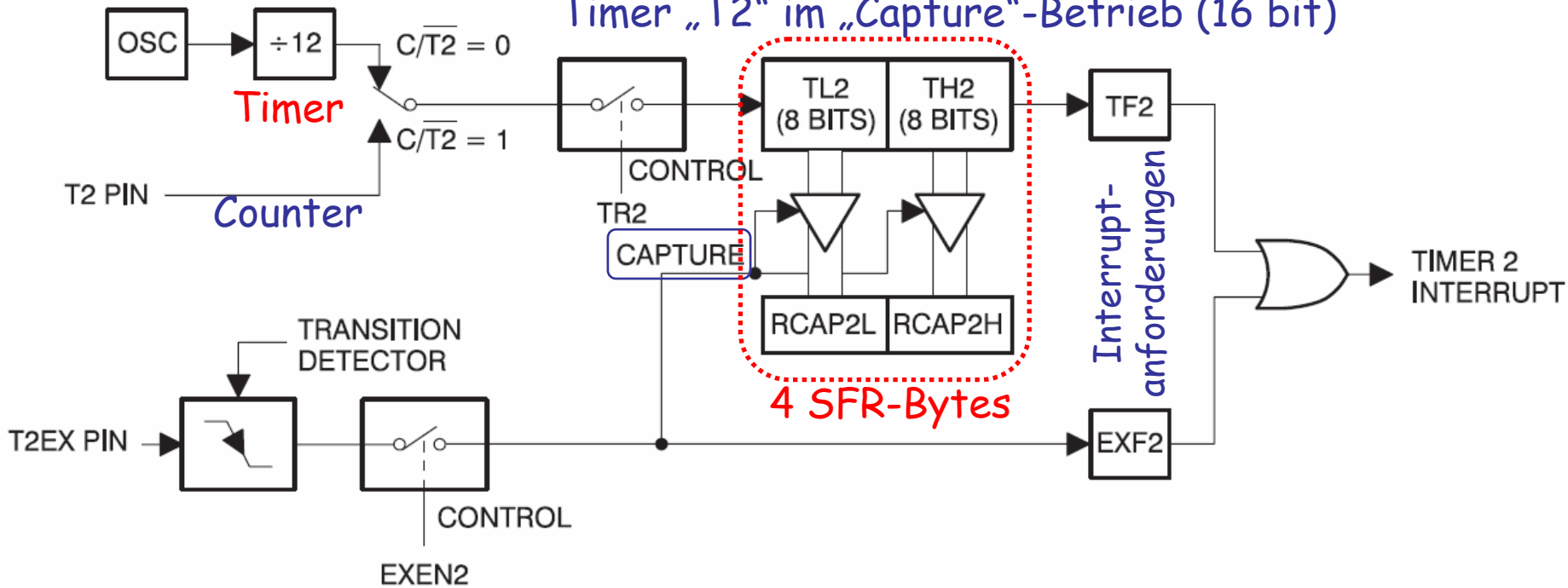
# Blockschaltbild zur Funktion von Timer „T0“ in der Betriebsart 1



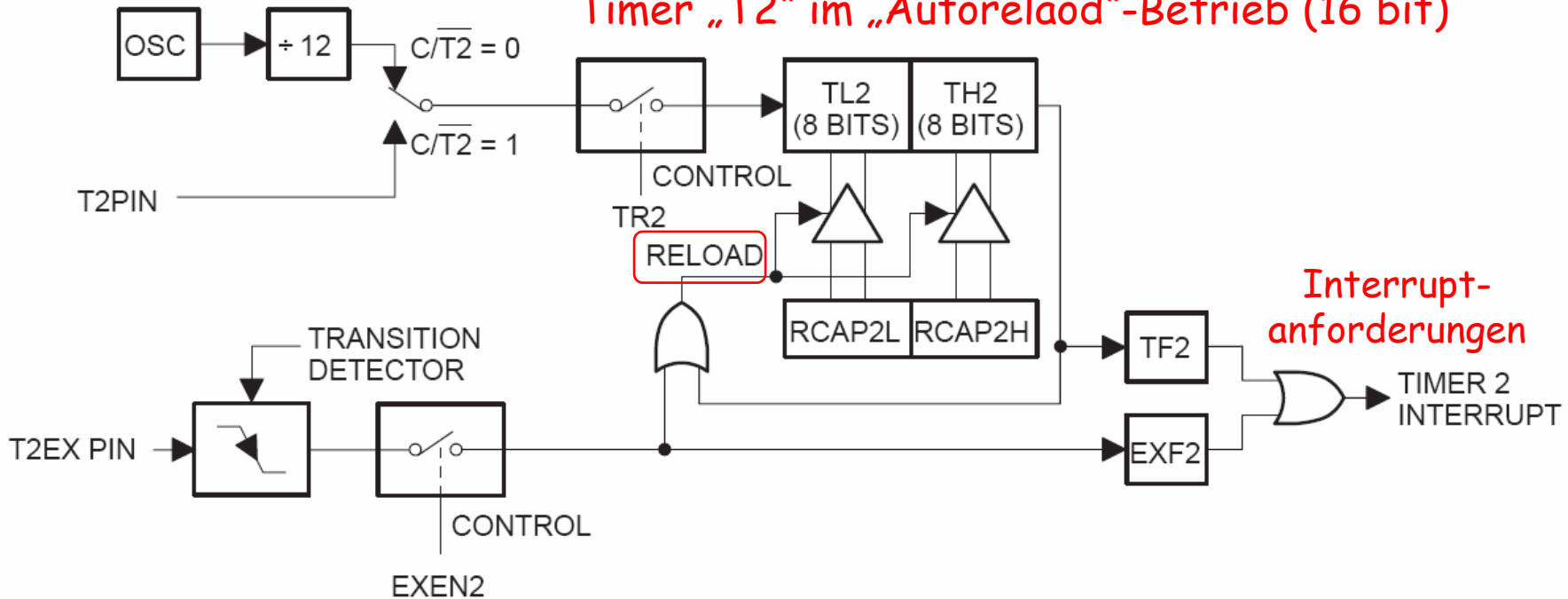
# Blockschaltbild zur Funktion von Timer „T1“ in der Betriebsart 2 „Autoreload“



## Timer „T2“ im „Capture“-Betrieb (16 bit)



## Timer „T2“ im „Autoreload“-Betrieb (16 bit)



# Prinzipielle Vorgehensweise bei der Baudrateneinstellung

Grundtakt: 12MHz => Timer-1-Takt: 1MHz

**150 Baud** Timer 1 in MODE 2 ≡ 8 bit-Auto-Reload

Interrupt sperren!

Reload-Wert 48 ⇒ 256-48 ⇒ 208 Takte bis Überlauf

Überlauftrate:  $1\text{MHz}/208 = 4807,69\text{s}^{-1}$

SMOD= „0“ ⇒ Teiler durch  $2 \cdot 16 = 32$  aktiv

Baudrate:  $4807,69\text{s}^{-1}/32 = 150,24 \text{ Baud}$

relativer Fehler: **1,6 ‰**

TMOD Bit-Nr	7	6	5	4	3	2	1	0
	0	0	1	0	Gate	C/T	M1	M0
	Timer 1				Timer 0			

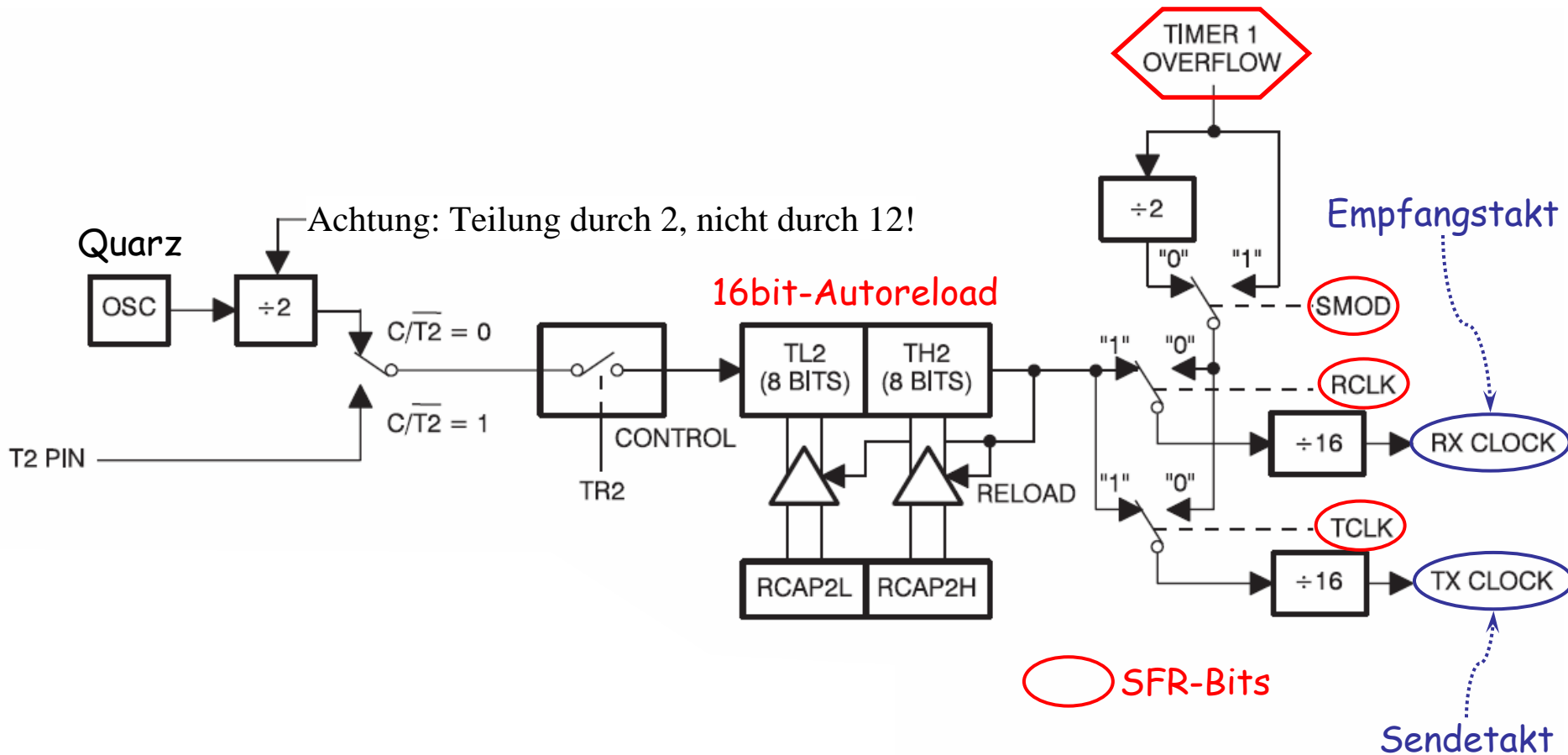
```
MOV    TMOD,#20H    ;ggf. Einstellungen für Timer 0
CLR    ET1          ; Interrupts von Timer 1 sperren
ANL    PCON,#7FH    ;UND-Verknüpfung mit '01111111', d.h. SMOD= „0“
MOV    TL1,#30H     ; Timer-1-Register mit 48d=30H vorladen
MOV    TH1,#30H     ; Timer-1-Reloadwert 48d=30H speichern
SETB   TR1          ; Timer 1 starten
```

**300 Baud** wie 150 Baud, jedoch SMOD = „1“

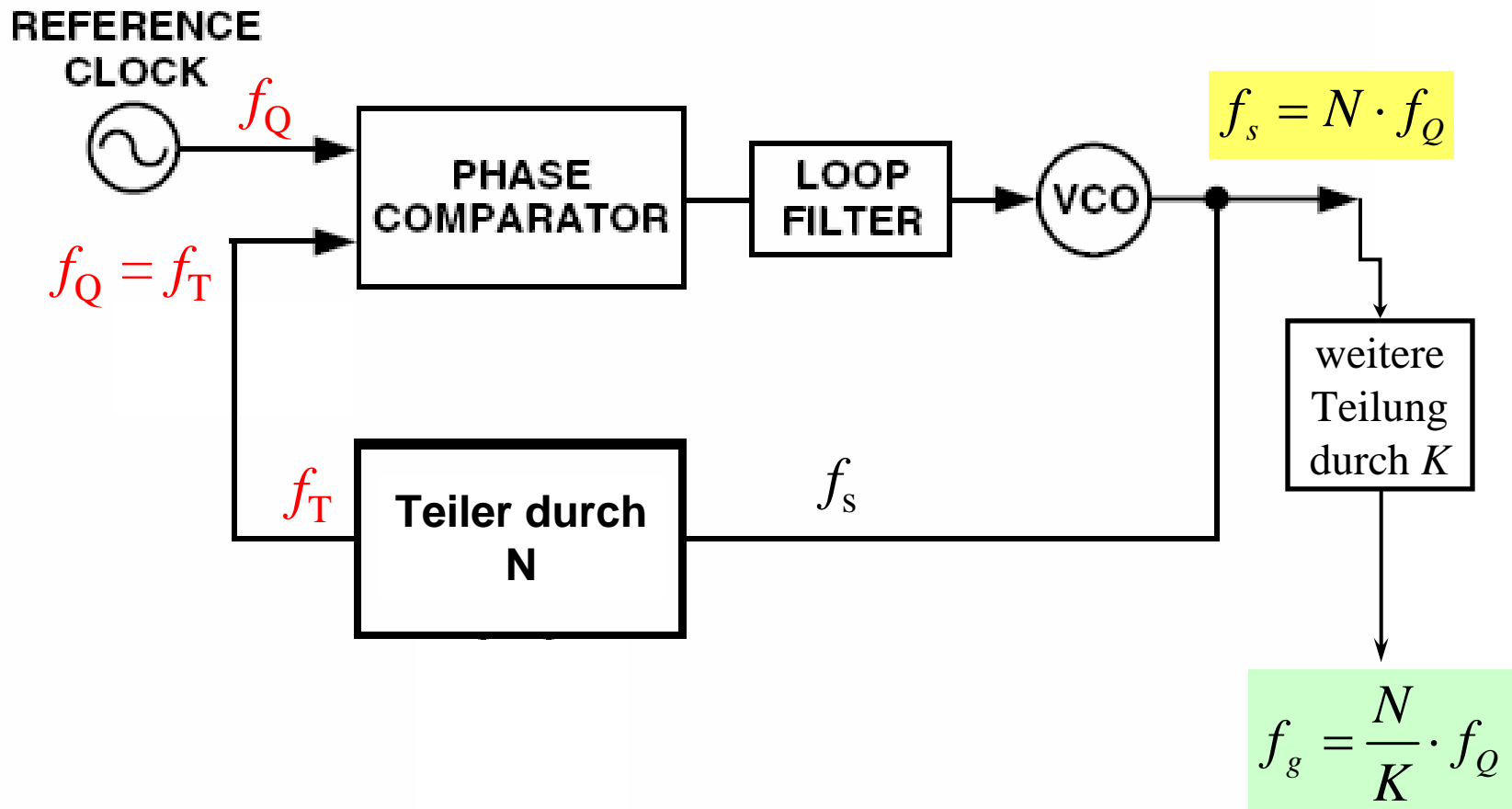
Baudrate:  $4807,69\text{s}^{-1}/16 = 300,48\text{Baud}$

relativer Fehler: **1,6 ‰**

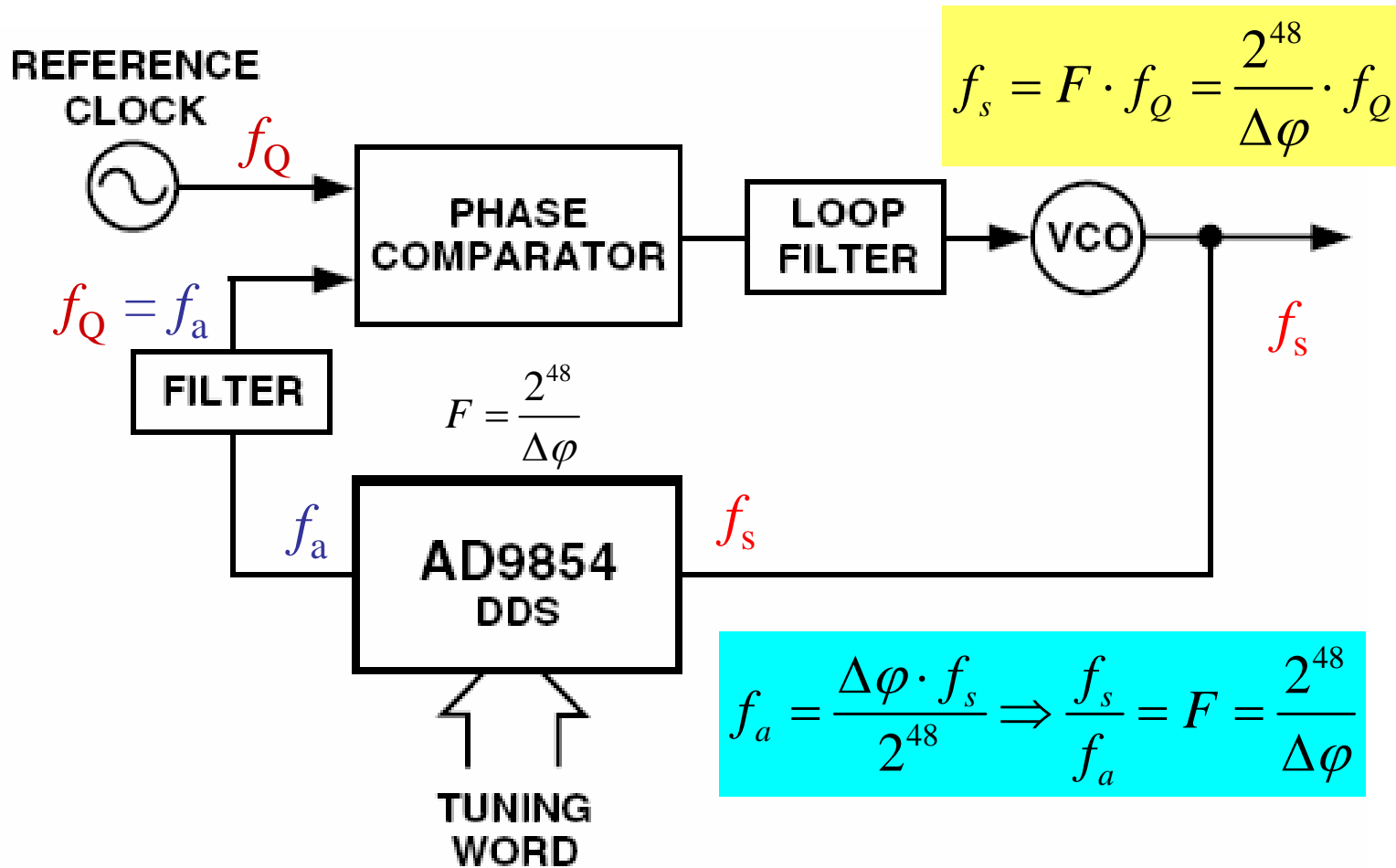
# Timer „T2“ als „Baudratengenerator“ für die serielle Schnittstelle ggf. zusammen mit **Timer „T1“**



# Standard-PLL zur Frequenzsynthese (N, K ganzzahlig)



# „Fraktionale“ Frequenzsynthese mit „feinstufigem“ Faktor F

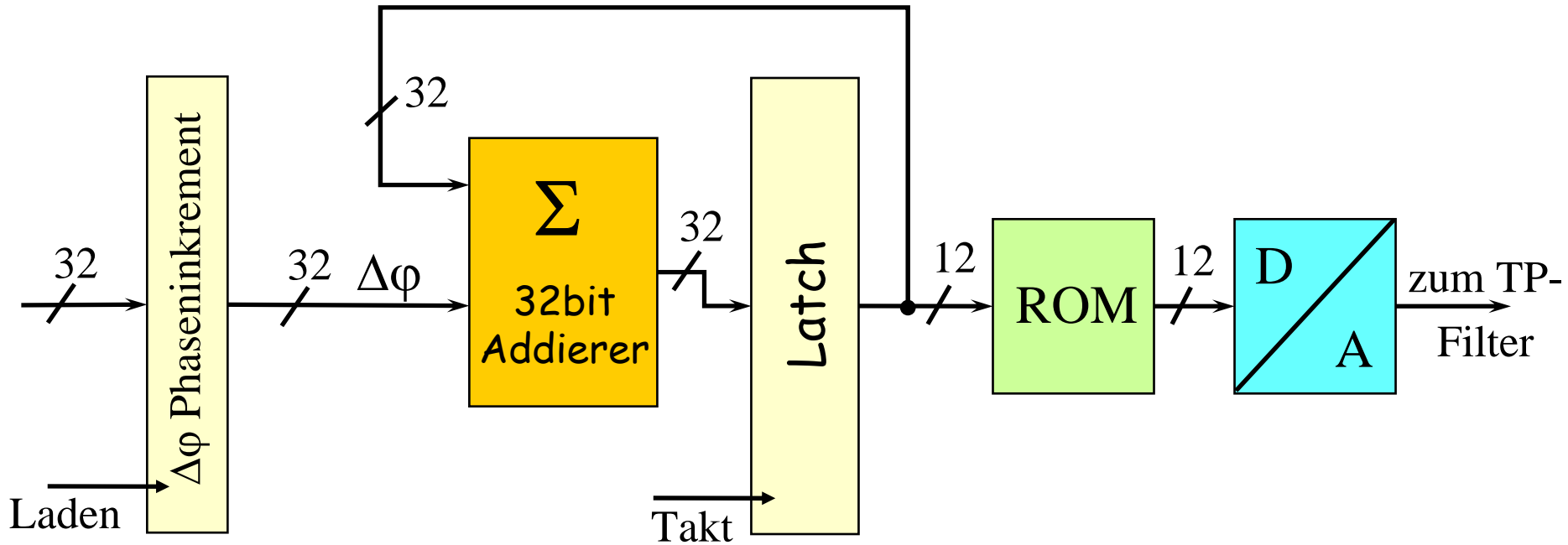


$$f_s = F \cdot f_Q = \frac{2^{48}}{\Delta\varphi} \cdot f_Q$$

$$f_a = \frac{\Delta\varphi \cdot f_s}{2^{48}} \Rightarrow \frac{f_s}{f_a} = F = \frac{2^{48}}{\Delta\varphi}$$

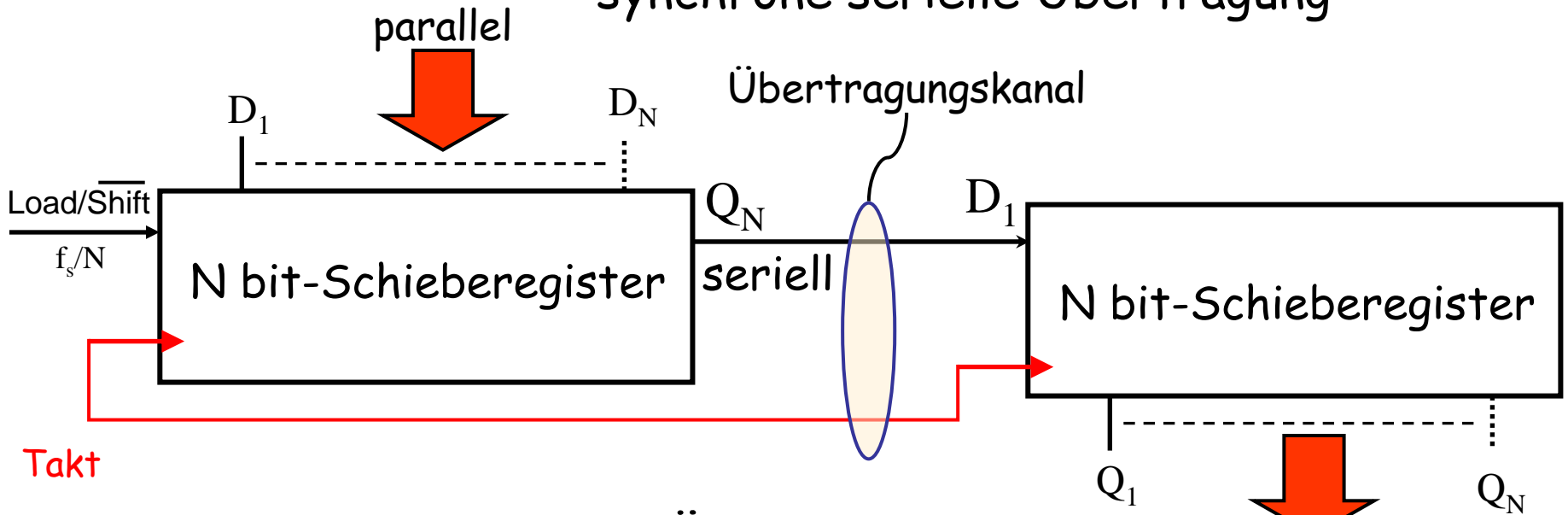
$\Delta\varphi \in \{1 \dots 2^{48}\}$  281.474.976.710.656 Schritte

# Beispiel zur direkten digitalen Synthese (DDS)

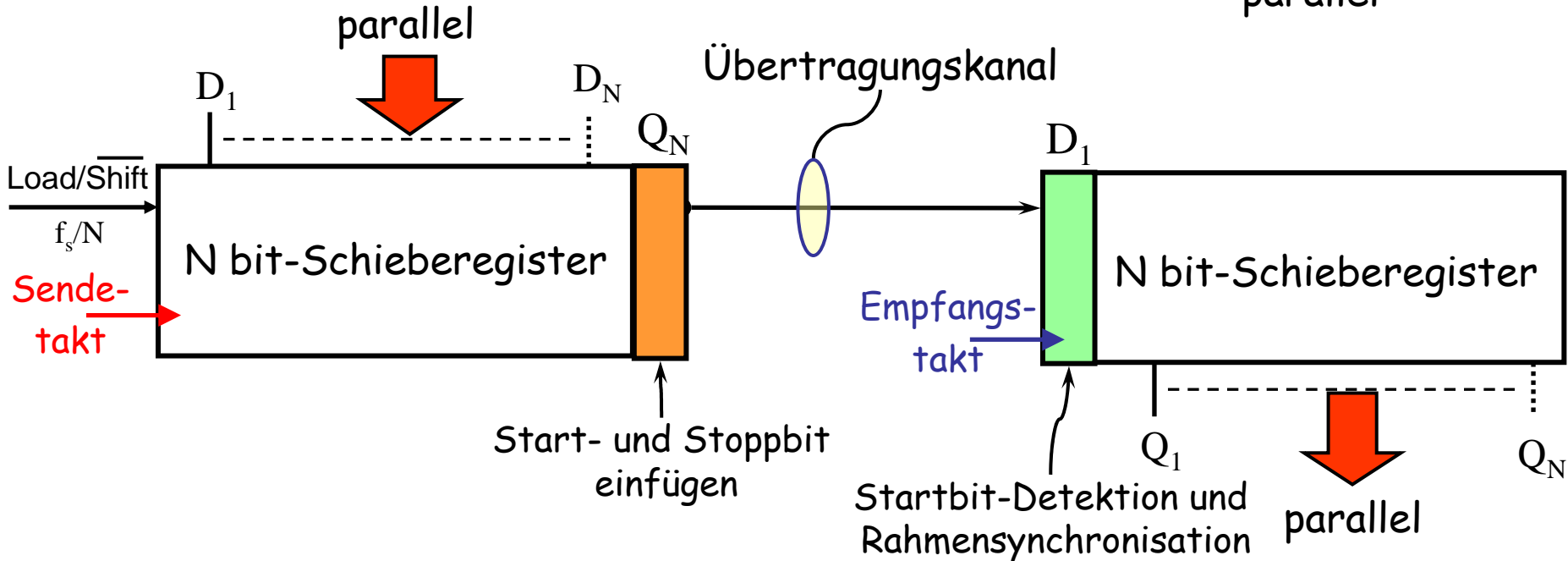




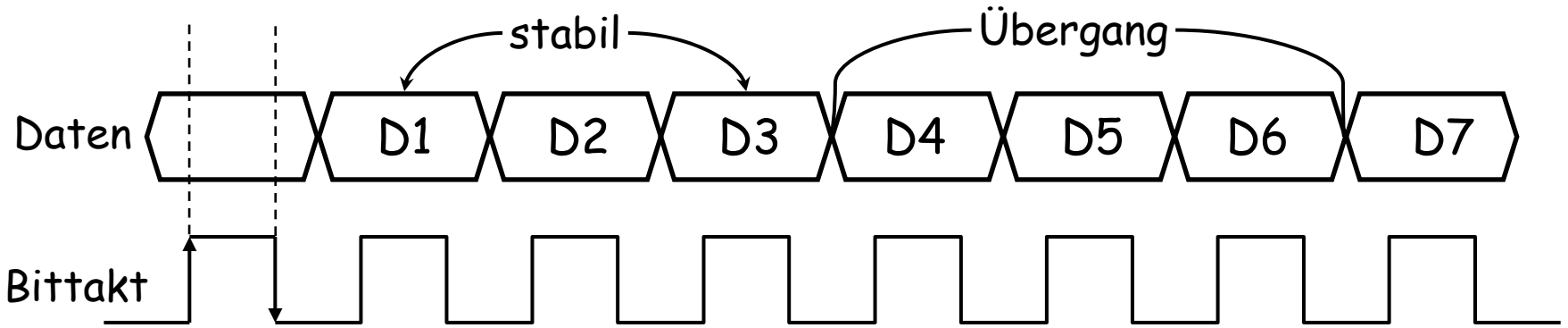
# synchrone serielle Übertragung



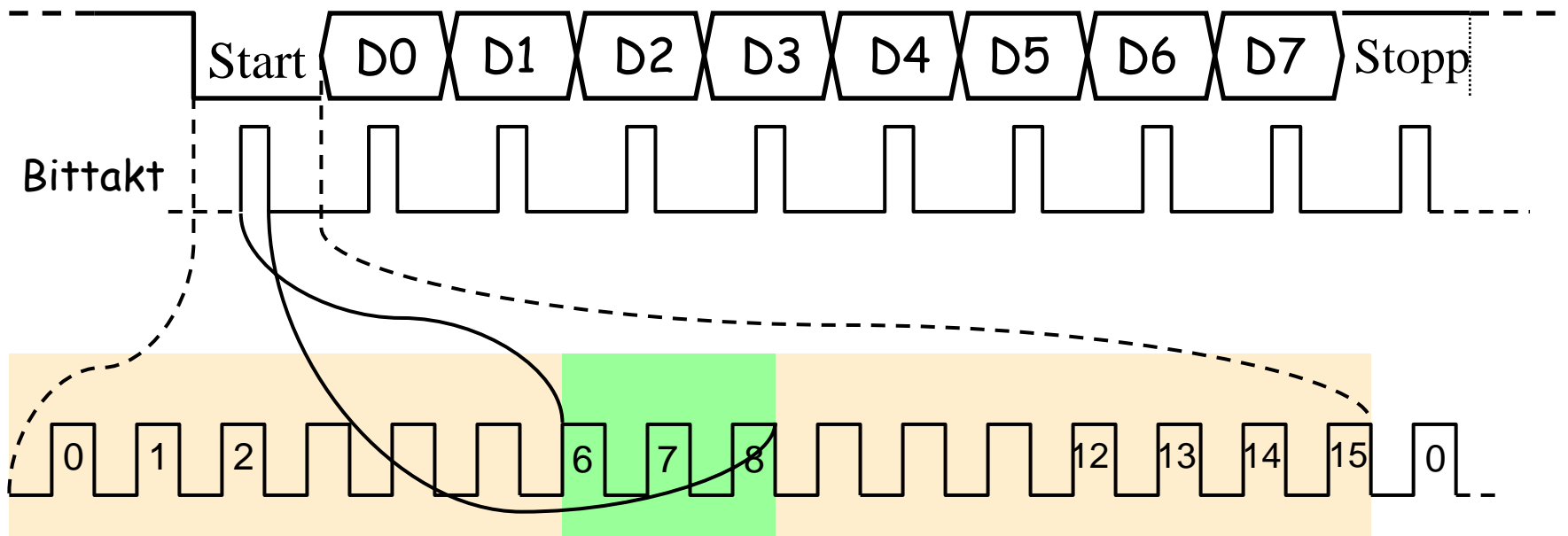
# asynchrone serielle Übertragung



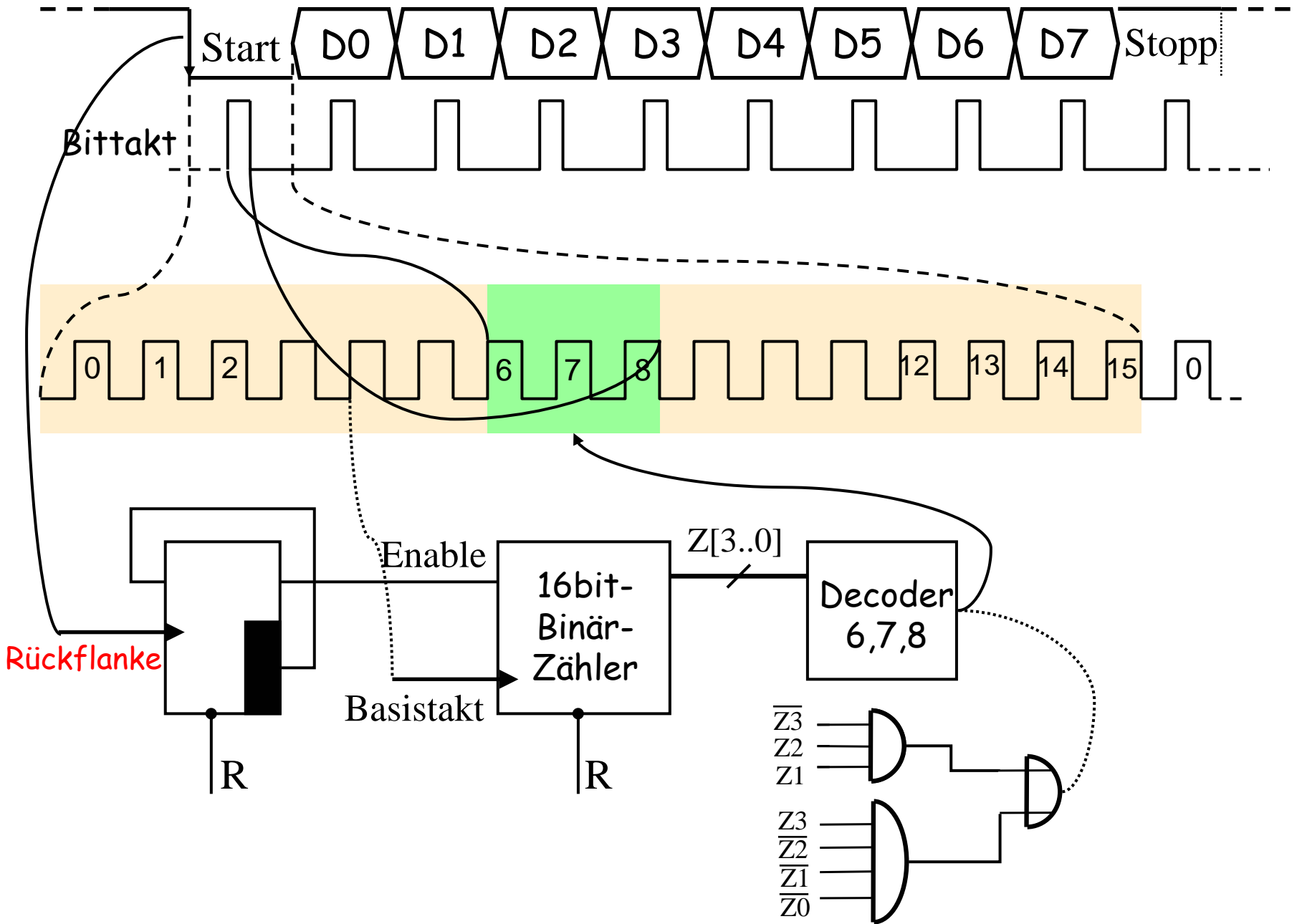
# Signalverlauf und Taktung bei synchroner serieller Übertragung

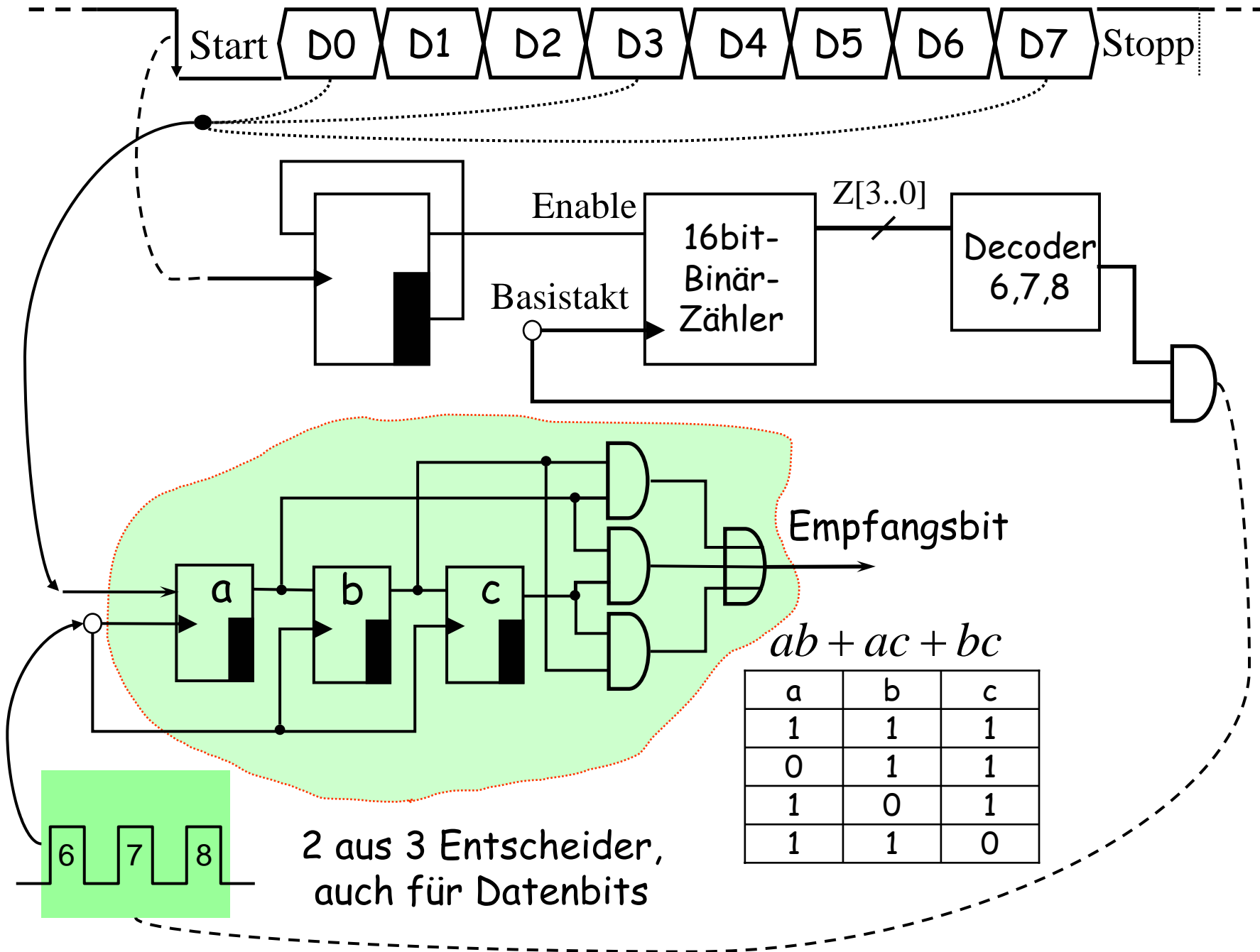


# Start/Stop-Verfahren zur asynchronen seriellen Übertragung

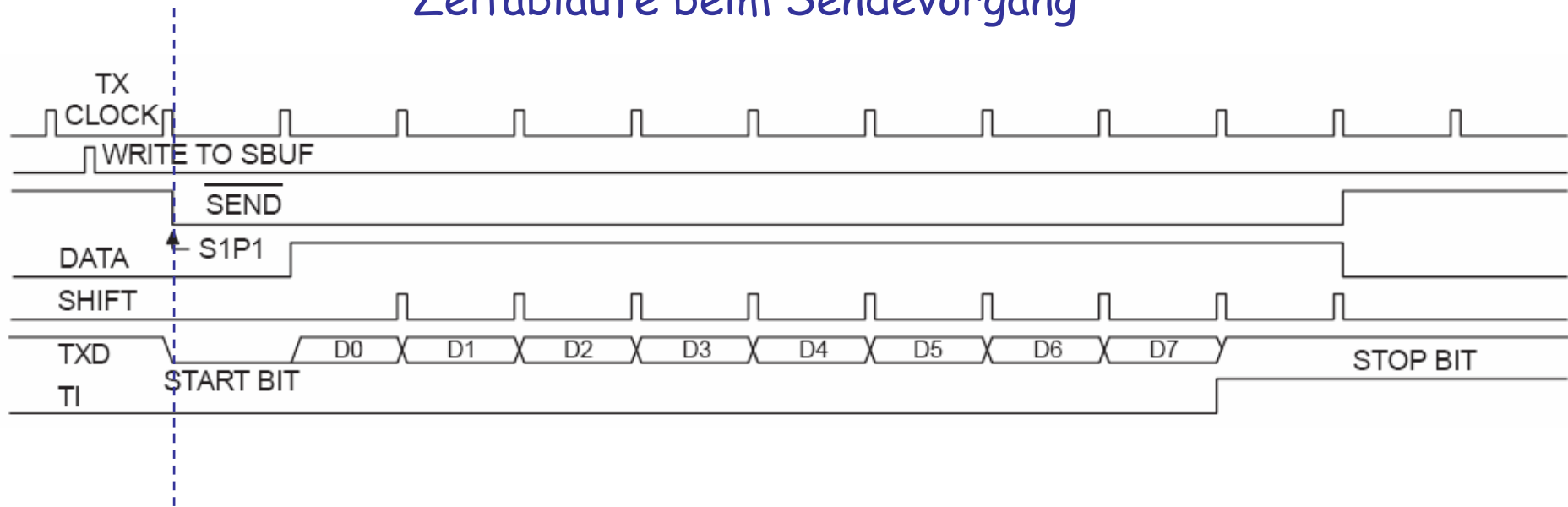


Basistakt: 16-facher Bittakt

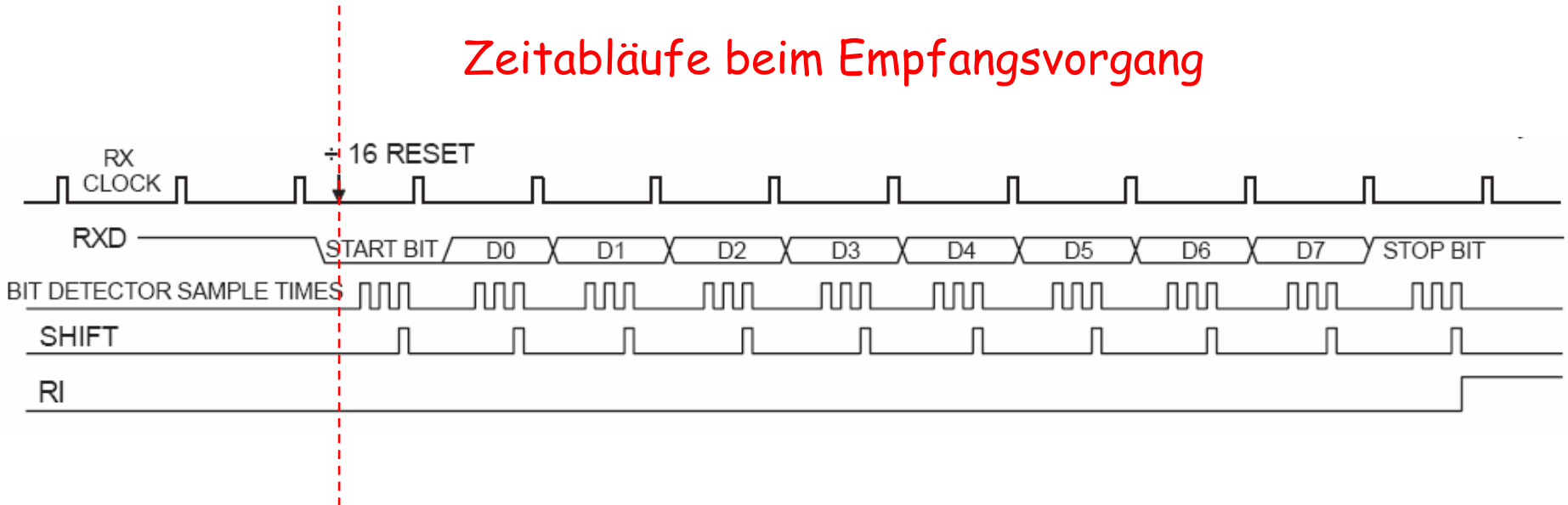




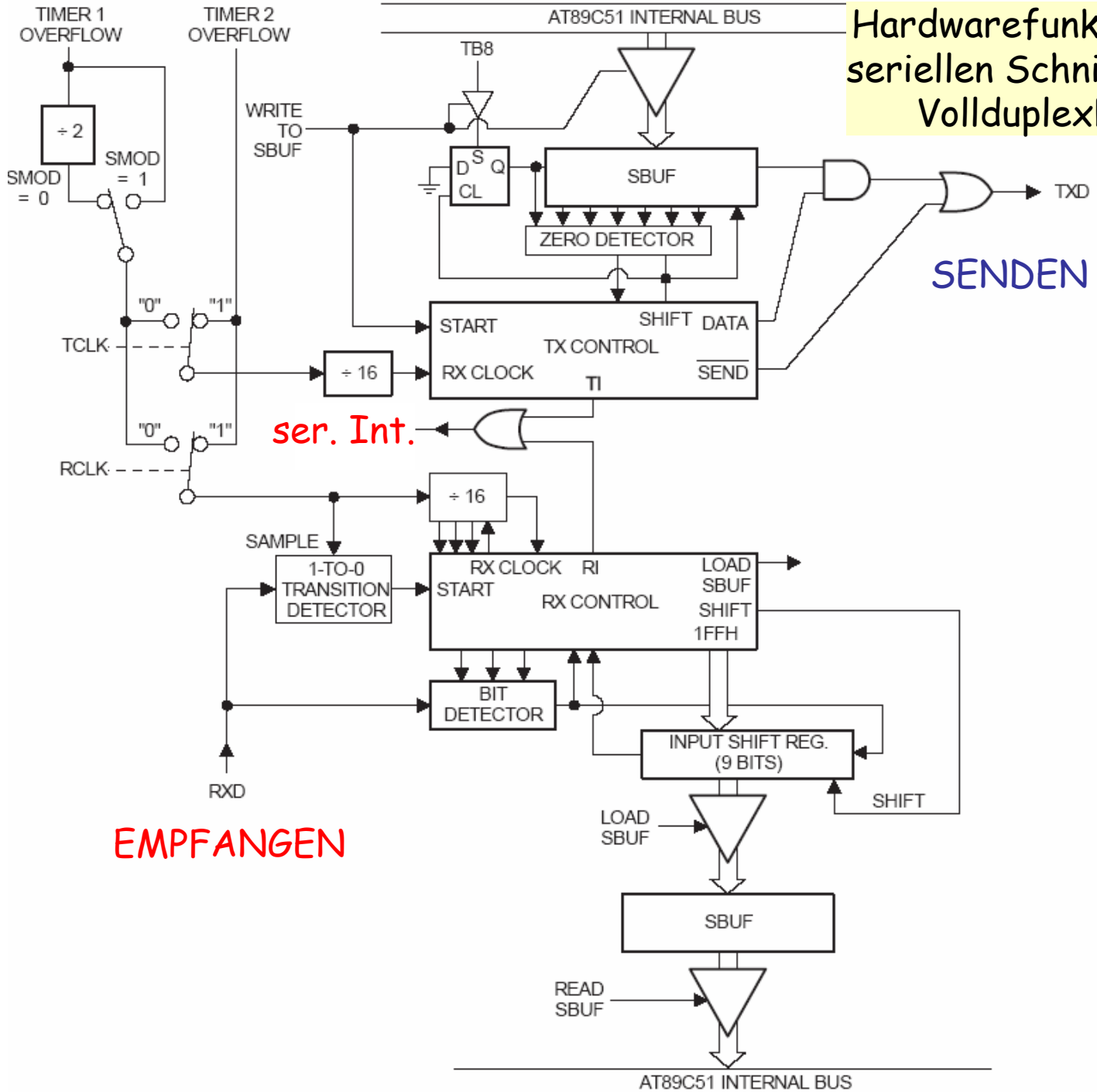
## Zeitabläufe beim Sendevorgang



## Zeitabläufe beim Empfangsvorgang



Hardwarefunktionen der seriellen Schnittstelle im Vollduplexbetrieb

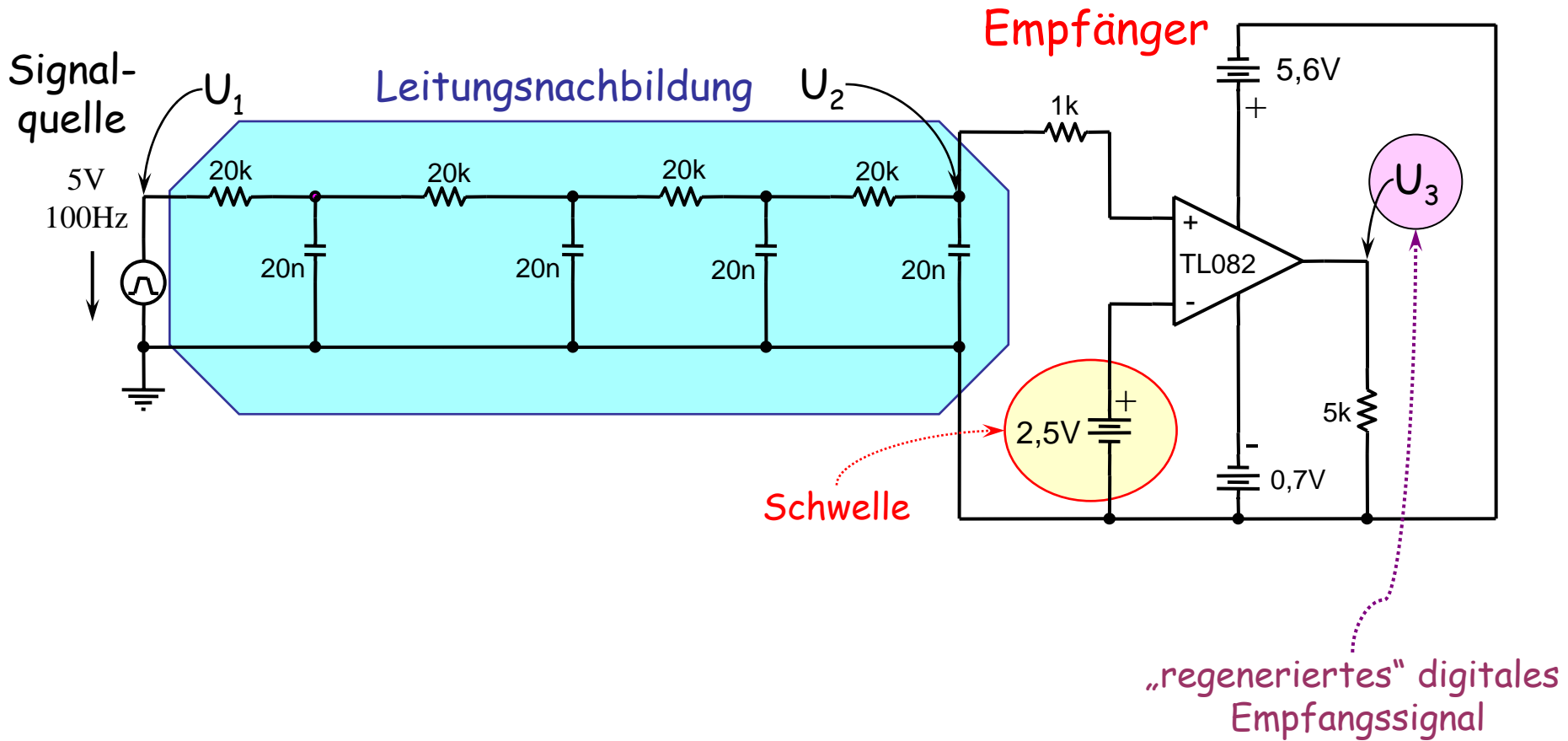


ser. Int.

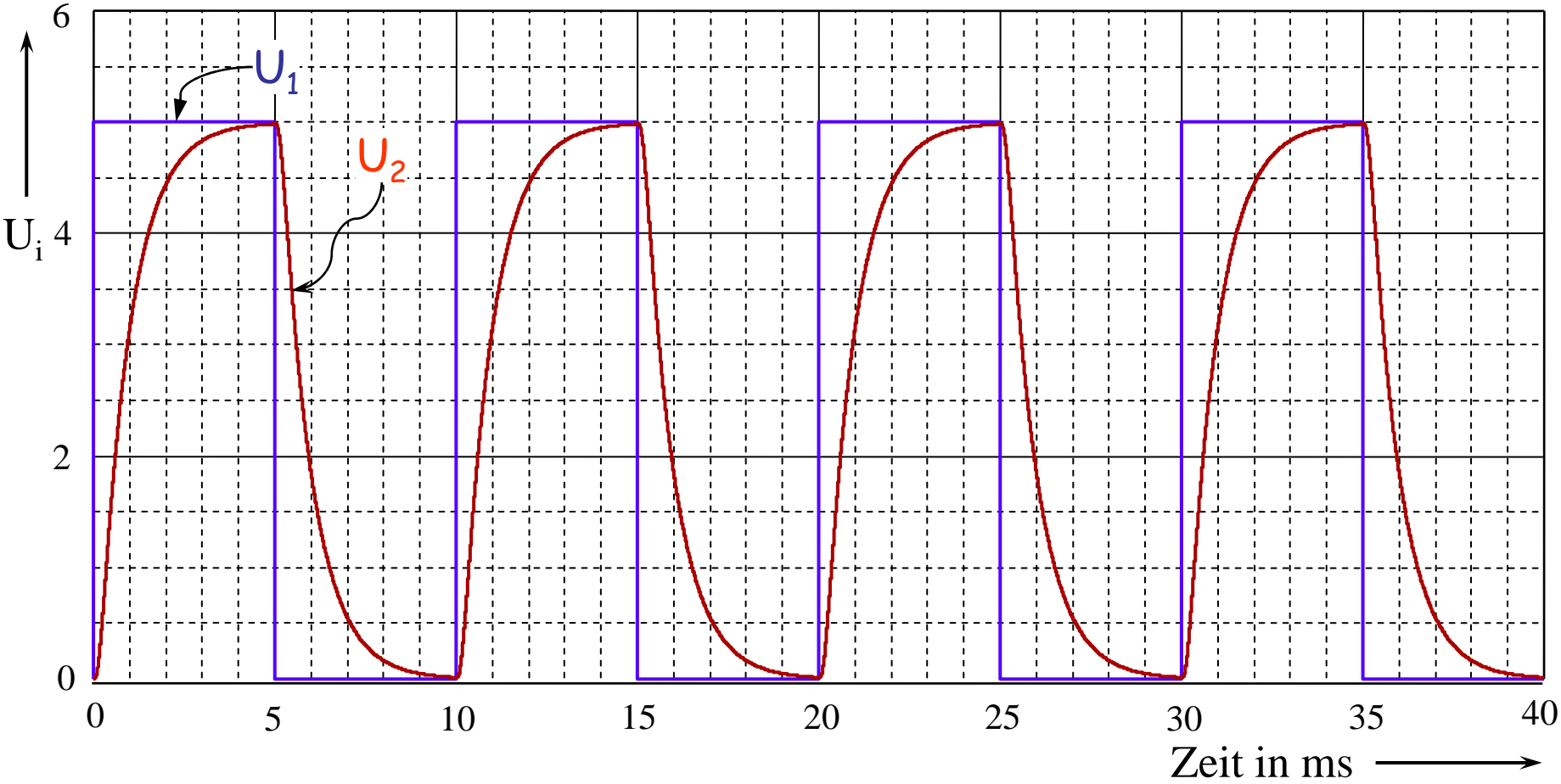
EMPFANGEN

SENDEN

# Simulative Analyse einer seriellen Datenübertragung über eine Leitung

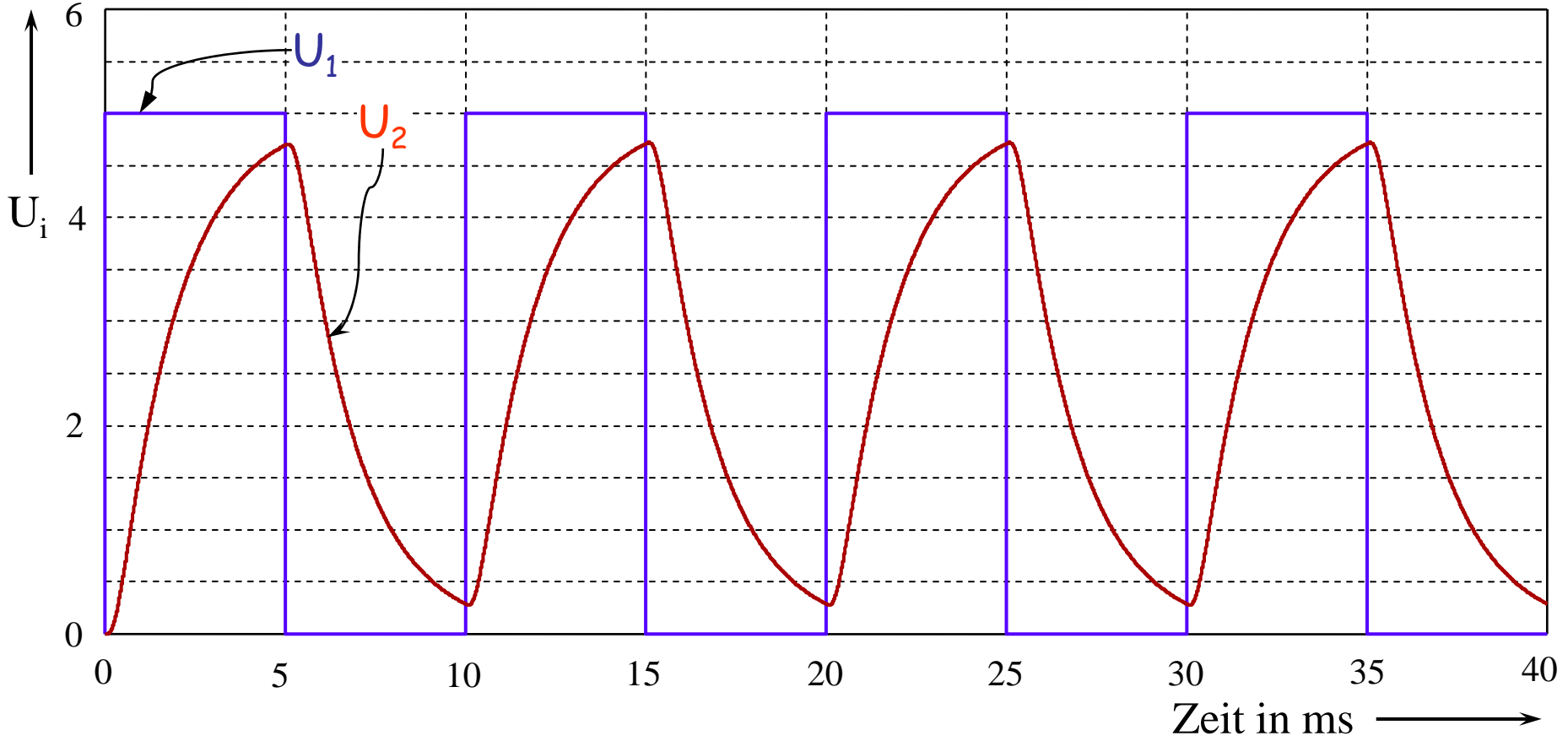


# RC-Kette: 10k, 10nF

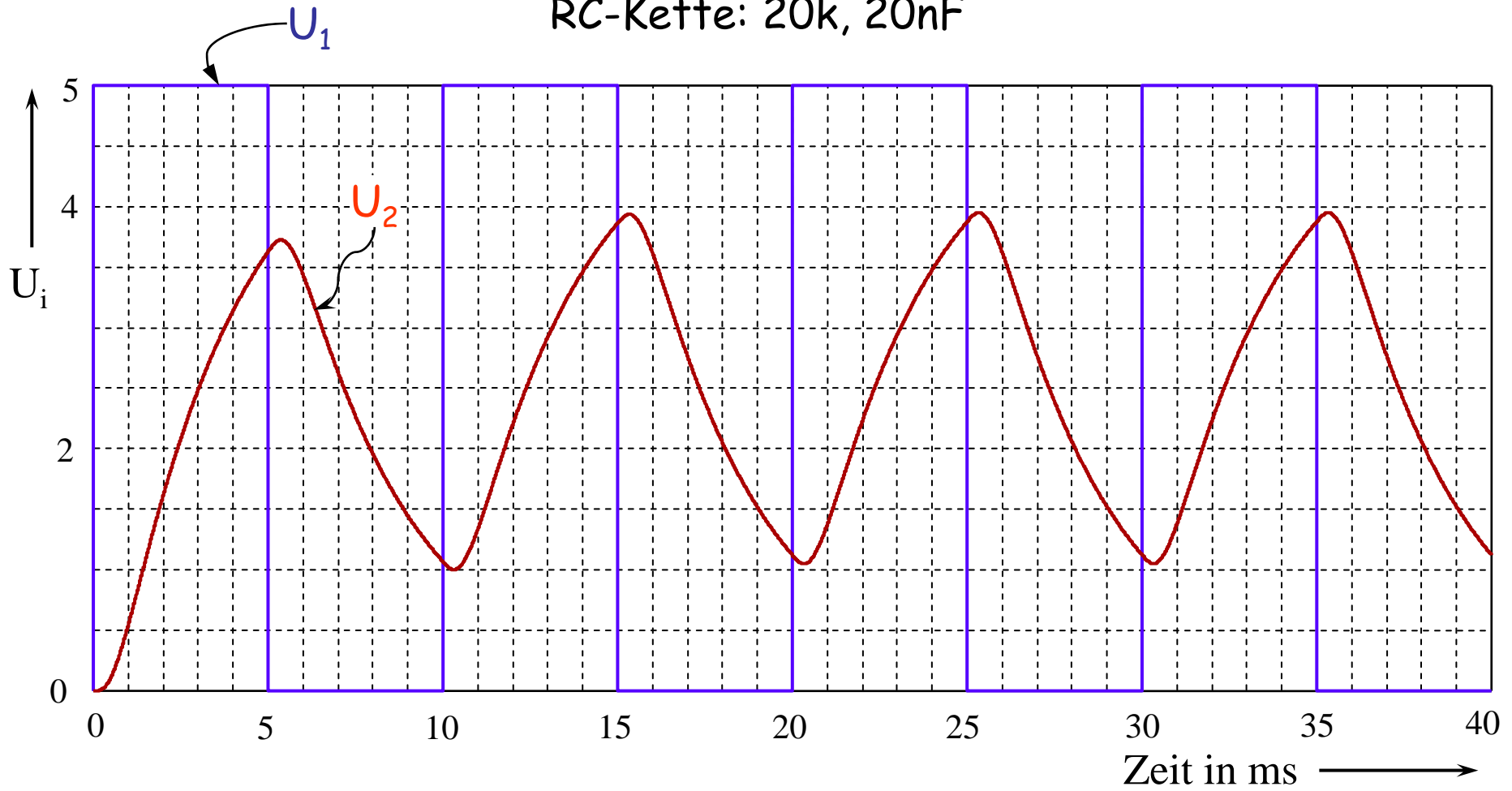




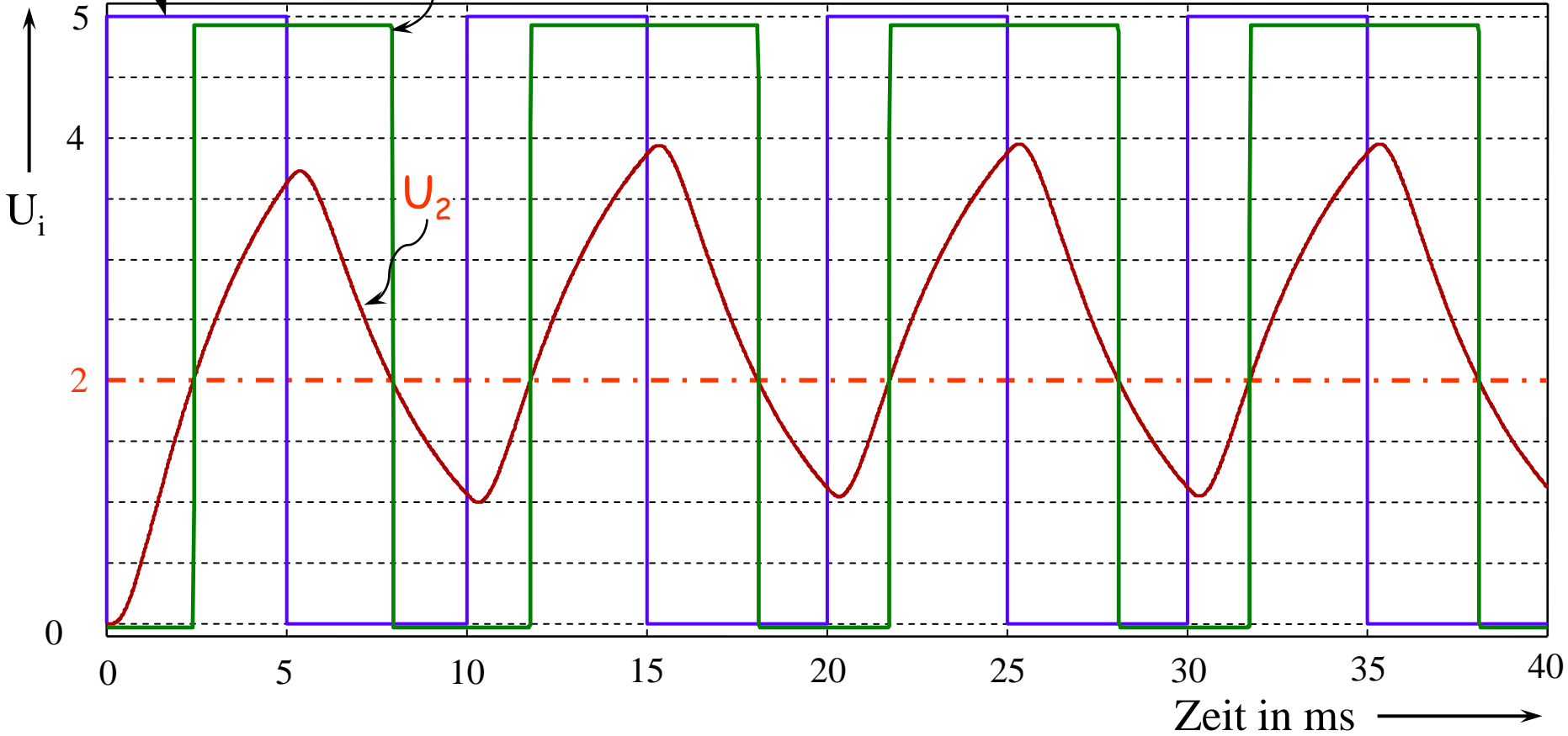
# RC-Kette: 10k, 20nF



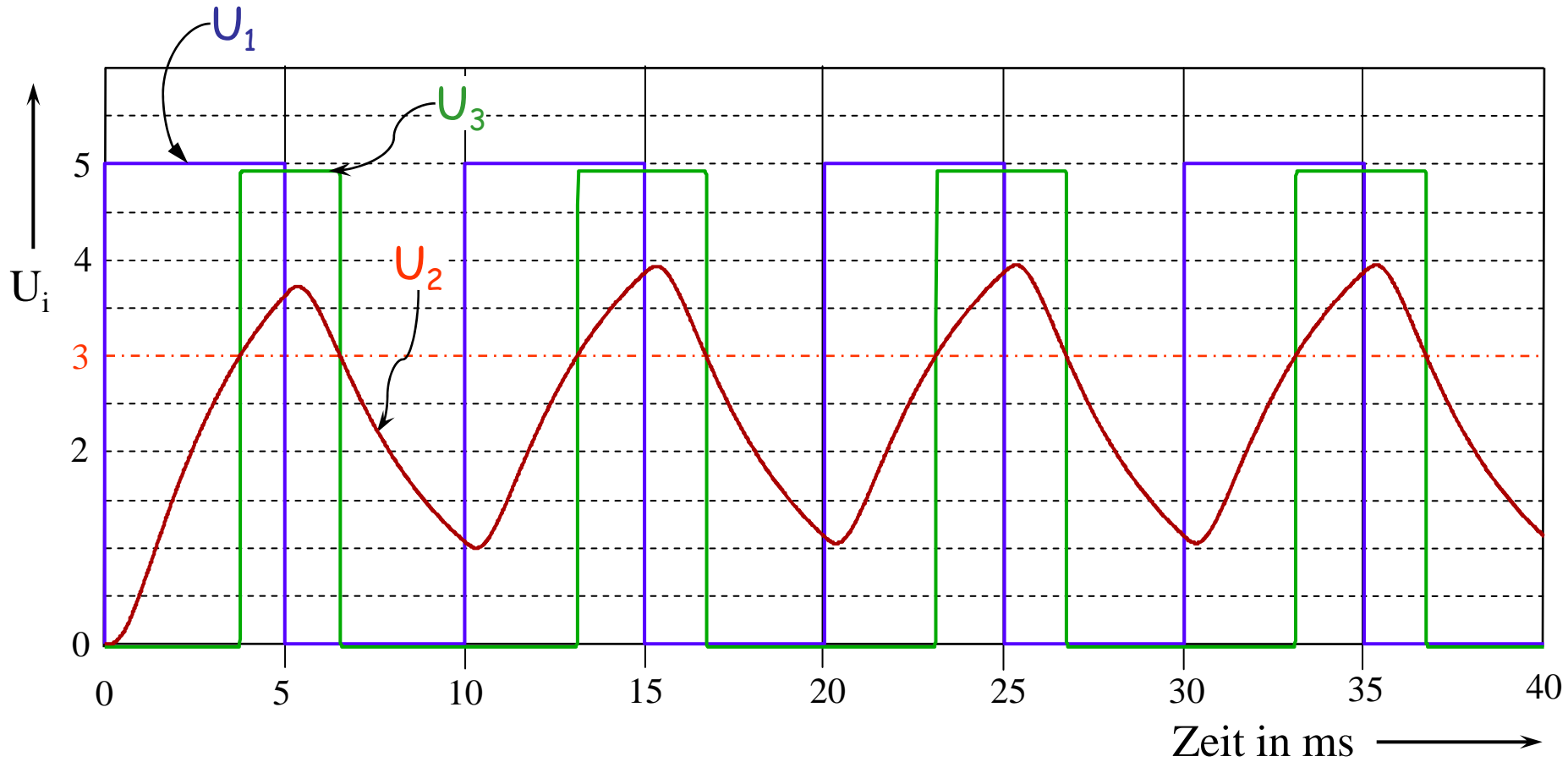
RC-Kette: 20k, 20nF



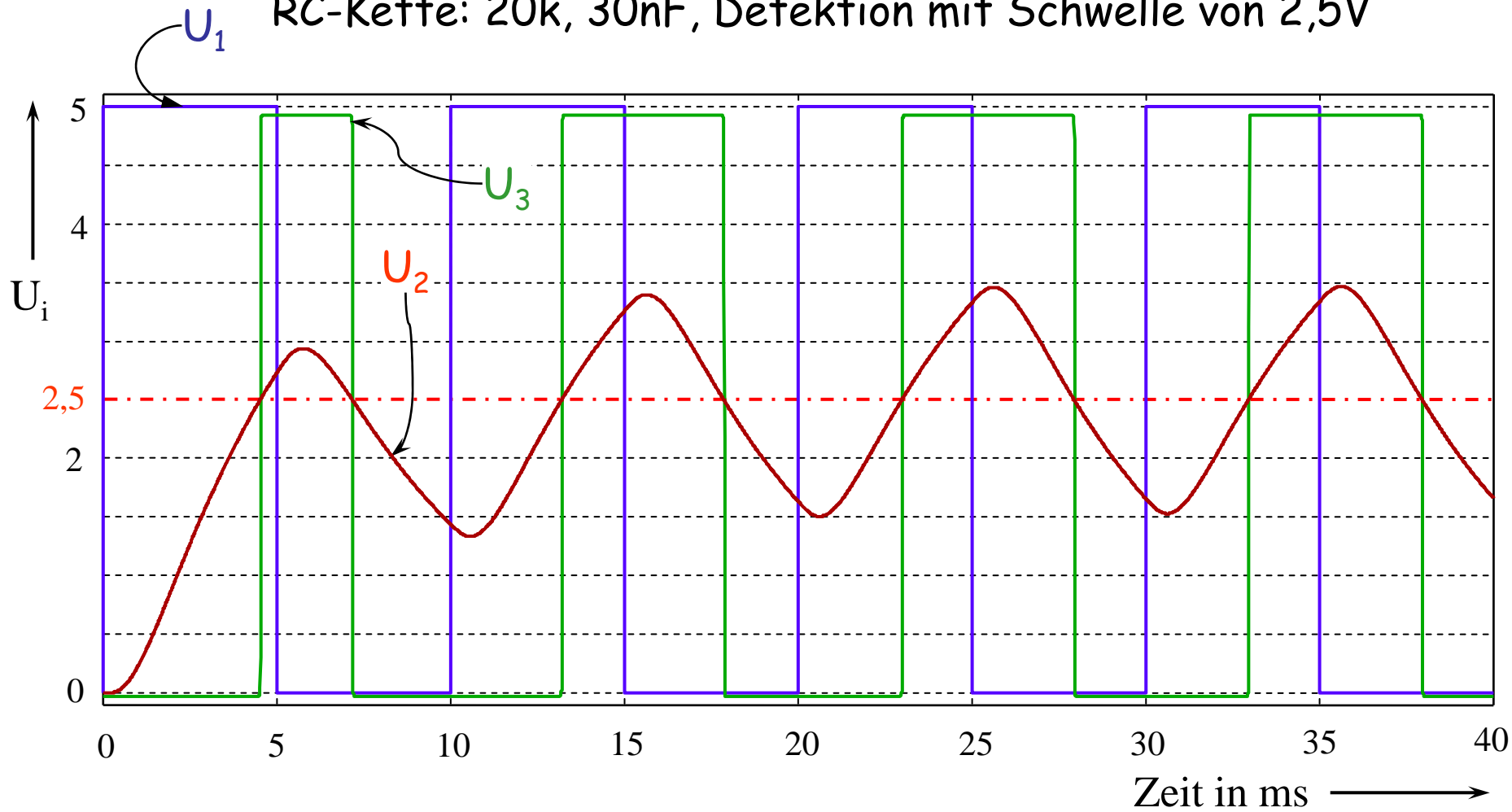
$U_1$  RC-Kette: 20k, 20nF, Detektion mit Schwelle von 2V



RC-Kette: 20k, 20nF, Detektion mit Schwelle von 3V



RC-Kette: 20k, 30nF, Detektion mit Schwelle von 2,5V



# D/A-Wandlung mittels Pulsweitenmodulation

